

多次元サブシステム分割デフェクトトレラント VLSI の歩留りシミュレーション

苦米地 宣 裕*

Yield Simulation on Defect-Tolerant VLSIs through Multi-Dimensional Subsystem-Dividing

Nobuhiro TOMABECHI*

Abstract

This paper presents a novel defect-tolerance design for VLSIs called “the multi-dimensional subsystem-dividing”. It is concluded that : ① the chip expansibility of the system introducing the 2-dimensional subsystem-dividing is increased 33% at maximum than that of the system introducing usual subsystem-dividing, ② the chip expansibility of the system introducing the 3-dimensional subsystem-dividing is increased 3% at max. than that of the 2-dimensional subsystem-dividing, ③ the chip expansibility of the system introducing the 4-dimensional subsystem-dividing is increased about 0.2% at max. than that of the 3-dimensional.

Key words : multi-dimensional/subsystem-dividing/defect-tolerance/VLSI/yield

1. ま え が き

WSI のような集積度の極めて高いシステムにおいては、チップ面積の増大に伴う歩留り低下が最大の問題であり、その実現のためには冗長構成の導入が不可欠と考えられる⁽¹⁾。VLSI/WSI システムへの冗長構成の導入は、動作時に発生する障害の回復、すなわち高信頼性を目的とするものと、製造時に発生する欠陥の救済、すなわち歩留り改善を目的とするものに分けることができる⁽²⁾。本研究では歩留り改善について論ずる。

歩留り改善を目的とした冗長構成としては種々のタイプのものが報告されてきたが⁽³⁾⁻⁽¹⁰⁾、それぞれ長所短所を有しており、対象とするシステムに応じて使い分けが必要となるようである。例えば、文献 (5) において報告されている

方法は、規則性にすぐれ、VLSI/WSI に適した条件を備えているが、単一の回路から構成されるシステムにのみ適用できるという問題点を有している。本論文では、予備の回路を用意し欠陥の生じた回路と直接交換する形式の冗長構成について論ずる。本冗長構成は、任意の構造を持ったシステムに対して適用できるという利点を有している。一方、予備の回路と欠陥の生じた回路を交換する機構が複雑になりがちであるという問題点も有する。本冗長構成は、一般に、予備の回路(冗長な回路)、予備の回路に切り換えるための配線(冗長な配線)および切り換えスイッチから構成される。もし、これらの冗長構成に要するチップ面積が大きいと、歩留り向上効果が相殺されることとなる。しかし、これまで冗長な配線のチップ面積の歩留りに対する影響についてはあまり報告されていない。

冗長な配線が長くなる場合、システム全体をいくつかのサブシステムに分割してサブシステ

平成 13 年 12 月 21 日受理

* システム情報工学科・教授