

冗長化 V L S I システムの歩留り計算

苔米地 宣 裕*

Yield Calculation of Redundant VLSI Systems

Nobuhiro TOMABECHI*

Abstract

This paper reports the yield calculation of redundant VLSI systems in which the defect recovery is introduced. The results are 1) the chip size versus yield characteristics curve in the clustered defect distribution is slower than in the uniform distribution but the yield enhancement by the defect recovery in the clustered distribution is less than in the uniform one, 2) the factor of chip extainability is independent of defect distribution pattern, 3) chip extainability is expressed by $1 + \sqrt{NR}$ where N is the number of nonredundant subsystems and R is the number of redundant subsystems.

1. まえがき

近年の集積回路技術の進歩は目覚ましいものがあり、V L S I の集積度を数桁高めた U L S I (Ultra Large Scale Integration) , あるいは、ウェーハー規模の集積を行なう W S I (Wafer Scale Integration) の可能性が論じられている⁽¹⁾。このような極超大規模集積回路においては、チップ面積の増大による歩留りの低下が最大の問題であり^(2, 3)、その実現のためには、欠陥の救済技術の導入が不可決と考えられる^(4, 5)。

本論文では、欠陥救済によって、V L S I の歩留りがどのように改善されるかを明らかにしようとしている。一般に、欠陥救済を行なうためには、なんらかの冗長構成が必要となるが、もし、冗長なハードウェアが大きいとチップ面積の増大をまねき、これが歩留り向上効果を相殺することとなる。本論文では、この冗長なチップ面積の効果を考慮した解析を行なっている。この冗長なハードウェアは、従来の欠陥救済の主たる検討対象であったメモリにおいては、充分小にできたが^(5, 6)、しかし、今後の課題とされている制御

平成元年 12 月 15 日受理

* 電気工学科教授

システムや算術演算システムの冗長化においては、無視できないものとなる^(7, 8)。また、LSIのチップ面積対歩留りの関係は、欠陥の分布形態に強く依存する⁽⁹⁾。本論文では、欠陥救済による歩留り改善が、欠陥分布形態によってどのように異なるかについても検討している。

まず、歩留り計算方法の検討を行ない、解析的方法とモンテカルロシミュレーション法の二つの方法を導いている。計算を行なった結果、欠陥分布の集中度が大なほど、チップ面積増加による歩留り低下はゆるやかになるが、同時に欠陥救済による歩留り改善も小さくなることが分かった。また、チップ拡大率という指標を用いると、欠陥分布の形態によらず、冗長化の効果を一意に表現できることが分かった。さらに、チップ拡大率 F と、システムをサブシステムに分割する個数 N 、冗長なサブシステムの個数 R の間には、近似的に $1 + \sqrt{NR}$ の関係式が成り立つことが見出された。

2. 冗長化VLSIシステムの歩留り計算方法

2・1 非冗長なVLSIのチップ面積・歩留り関係式

LSIの歩留りは、チップ面積の増大とともに急激に低下するが、その低下の割合は、欠陥の分布形態に大きく依存する。欠陥分布形態は製造プロセスによっても異なるといわれ、このため、チップ面積・歩留りの関係については、多くの式が提案されている⁽⁶⁾。ここでは、代表として次の3つの分布形態をとり比較することとする。(1)一様分布、(2)指数分布、(3)ガンマ分布。各分布について、歩留り Y は、平均欠陥密度を D_0 、チップ面積を A とおくと次のように表わされる⁽⁹⁾。

一様分布 $Y = e^{-D_0 A}$ Lawson の式 (1)

指数分布 $Y = 1/(1 + D_0 A)$ Price の式 (2)

ガンマ分布 $Y = (1 + D_0 A/a)^{-a}$ Stapper の式 (3)

ガンマ分布の式における a は、分散を決めるパラメータで、 $a = 1$ が指数分布に対応し、 $a = \infty$ が一様分布に対応する。

2・2 欠陥救済を行なったVLSIシステムのチップ面積・歩留り関係式の導出

解析に当たって、次の仮定をおく。

〔仮定1〕 システムは、いくつかのサブシステムに均等に分割される。すなわち、各サブシステムのチップ面積は皆等しいとする。

〔仮定2〕 R 個の冗長なサブシステムを付加することにより、 R 個以内のサブシステムを救済できる。

〔仮定3〕 欠陥救済に必要なハードウェアは、冗長なサブシステム以外は充分小さい。すなわち、欠陥部分の切り放しや回路の再構成に必要なハードウェアのチップ面積は、すべて無視できるとする。

非冗長なサブシステムの個数をN、冗長なサブシステムの個数をR、サブシステムを A_1, A_2, \dots, A_{N+R} 、確率を $P_r []$ で表わす。

また、

$$P_r [A_1, \dots, A_I \text{ が不良で}, A_{I+1}, \dots, A_{N+R} \text{ が正常}] = P(I)$$

$$P_r [A_{I+1}, A_{I+2}, \dots, A_{N+R} \text{ が正常}] = Y(I)$$

と置く。なお、 $P(0)$ は $Y(0)$ を表わすとする。

欠陥救済を行なったシステムの歩留り Y_R は、次のように求められる。

$$\begin{aligned} Y_R &= \sum_{I=0}^R \Pr[I \text{ 個のサブシステムが不良で } N+R-I \text{ 個のサブシステムが正常}] \\ &= \sum_{I=0}^R C_I P(I) \end{aligned} \quad (4)$$

一様分布の場合、各サブシステムは独立とみなされるので、式(4)の $P(I)$ は、次のように簡略に求めることができる。

$$\begin{aligned} P(I) &= P_r [1 \text{ 個のサブシステムが不良}]^I \cdot \\ &\quad P_r [1 \text{ 個のサブシステムが正常}]^{(N+R-I)} \\ &= (1 - e^{-D_0 A / N})^I e^{-D_0 A (N+R-I) / N} \end{aligned} \quad (5)$$

一般の分布の場合は、各サブシステムは独立と扱うことができない。この場合、 $P(I)$ は次のように求められる。

まず、 $Y(I)$ と $P(I)$ に関して、次の関係が成り立つ。

$$\begin{aligned} Y(I) &= \sum_{J=0}^I \Pr[A_1, \dots, A_I \text{ 中の } J \text{ 個が不良で他が正常、かつ } A_{I+1}, \dots, A_{N+R} \text{ が正常}] \\ &= \sum_{J=0}^I {}_I C_J P(J) \end{aligned} \quad (6)$$

よって、式(4)の $P(I)$ は、次のように逐次的に計算することができる。

$$P(0) = Y(0)$$

$$P(1) = Y(1) - {}_1 C_0 P(0)$$

$$P(2) = Y(2) - {}_2 C_0 P(0) - {}_2 C_1 P(1)$$

.....

$$P(I) = Y(I) - \sum_{J=0}^{I-1} {}_I C_J P(J) \quad (7)$$

ここで、 $Y(I)$ 、 $(I=1, 2, \dots, R)$ は、式(1)～(3)より、次のように与えられる。

$$Y(I) = \begin{cases} e^{-D_0 A (N+R-I) / N} & \text{一様分布} \\ 1 / (1 + D_0 A (N+R-I) / N) & \text{指数分布} \\ (1 + D_0 A (N+R-I) / (Na))^{-a} & \text{ガンマ分布} \end{cases} \quad (8)$$

式(4)～(7)の計算に当たって、基準VLSIを設定する。基準VLSIのチップ面積 A は1とする。このとき、任意のVLSIのチップ面積は、基準VLSIのチップ面積に対する相対値で表わされることとなる。また、基準VLSIの歩留り Y_0 は、平均的な値をとり0.5とする。この Y_0 の

値は、分布形態によらず等しいとする。このとき、平均欠陥密度 D_0 の値は、分布形態によって異なることとなるが、これは次のように求められる。

$$D_0 = \begin{cases} -\log_e Y_0 & \text{一様分布} \\ 1/Y_0 - 1 & \text{指数分布} \\ a(1/Y_0^{1/a} - 1) & \text{ガンマ分布} \end{cases} \quad (9)$$

式(4)～(9)の計算プログラムをBASIC言語を用いて記述すると次のようになる。

[プログラム1]

```
110 INPUT "N,R=";N,R
120 Y=0
130 FOR I=0 TO R
140   P(I)=1/(1+(1/Y0-1)*(N+R-I)/N)
150   FOR J=0 TO I-1
160     P(I)=P(I)-C(I,J)*P(J)
170   NEXT J
180   Y=Y+C(N+R,I)*P(I)
190 NEXT I
200 PRINT "Y=";Y
210 END
```

ただし、 $C(I, J)$ は ${}_1C_J$ のメモリであり、これは行番号100以前に計算し記憶しておくこととする。また、本プログラムは、指数分布の場合を示している。他の分布の場合は、行番号140を次のように変更する。

```
140 P(I)=Y0^(A*(N+R-I)/N) 一様分布
140 P(I)=(1+(1/Y0^(1/AL)-1)*A*(N+R-I)/N)^(-AL)ガンマ分布
```

プログラム1では、 $P(I)$ の計算を多重にくり返すので、誤差の蓄積が問題となる。そこで、 $Y(I)$ にかかる係数がすべて整数なことに注目して、係数の計算を先に行ない、最後に $Y(I)$ を乗ずるように修正する。

まず、 $P(I)$ を次のように表わす。

$$P(I) = \sum_{K=0}^R Q(I, K) Y(K)$$

このとき、係数 $Q(I, J)$ は整数であり、次のように逐次求められる。

```
Q(0,0)=1
Q(1,0)=-1C0Q(0,0)
Q(1,1)=1
Q(2,0)=-2C0Q(0,0)-2C1Q(1,0)
Q(2,1)=-2C1Q(1,1)
Q(2,2)=1
Q(3,0)=-3C0Q(0,0)-3C1Q(1,0)-3C2Q(2,0)
Q(3,1)=-3C1Q(1,1)-3C2Q(2,1)
```

$$Q(3,2) = -{}_3C_2 Q(2,2)$$

$$Q(3,3) = 1$$

$$Q(I,J) = \begin{cases} -\sum_{K=J}^{I-1} C_K Q(K,J) & I > J \\ 1 & I = J \end{cases} \quad (10)$$

この改良を加えたプログラムは次のようになる。

[プログラム 2]

```

110 INPUT "N,R=";N,R
120 FOR I=0 TO R
130   P(I,I)=1
140   FOR J=0 TO I-1
150     FOR K=J TO I-1
160       Q(I,J)=Q(I,J)-C(I,K)*Q(K,J)
170     NEXT K
180   NEXT J
190 NEXT I
200 Y=0
220 FOR I=0 TO R
230   FOR K=0 TO R
240     Y(K)=1/(1+(1/Y0-1)*(N+R-K)/N)
250     Y=Y+C(N+R,I)*Q(I,K)*Y(K)
260   NEXT K
270 NEXT I
280 PRINT "Y=";Y
290 END

```

2. 3 モンテカルロ法による歩留りシミュレーション

欠陥分布のようなランダム現象の解析には、モンテカルロシミュレーションが有効となる。先に示した欠陥分布は、次のような確率密度関数 $f(D)$ を用いて表わされる⁽⁹⁾。

$$f(D) = \begin{cases} D_0 & \text{一様分布} & (11) \\ e^{-D/D_0}/D_0 & \text{指数分布} & (12) \\ D^{a-1}e^{-aD/D_0}/\{\Gamma(a)(D_0/a)^a\} & \text{ガンマ分布} & (13) \end{cases}$$

ただし、 $\Gamma(a)$ は、次のように計算される。

$$\Gamma(a) = \lim_{n \rightarrow \infty} (n-1)! n^a / \{a(a+1) \cdots (a+n-1)\} \quad (14)$$

シミュレーションのフローチャートを、図1に示している。まず、確率密度関数 $f(D)$ に従う乱数を発生させて、一枚のウェーハ内の欠陥密度 D

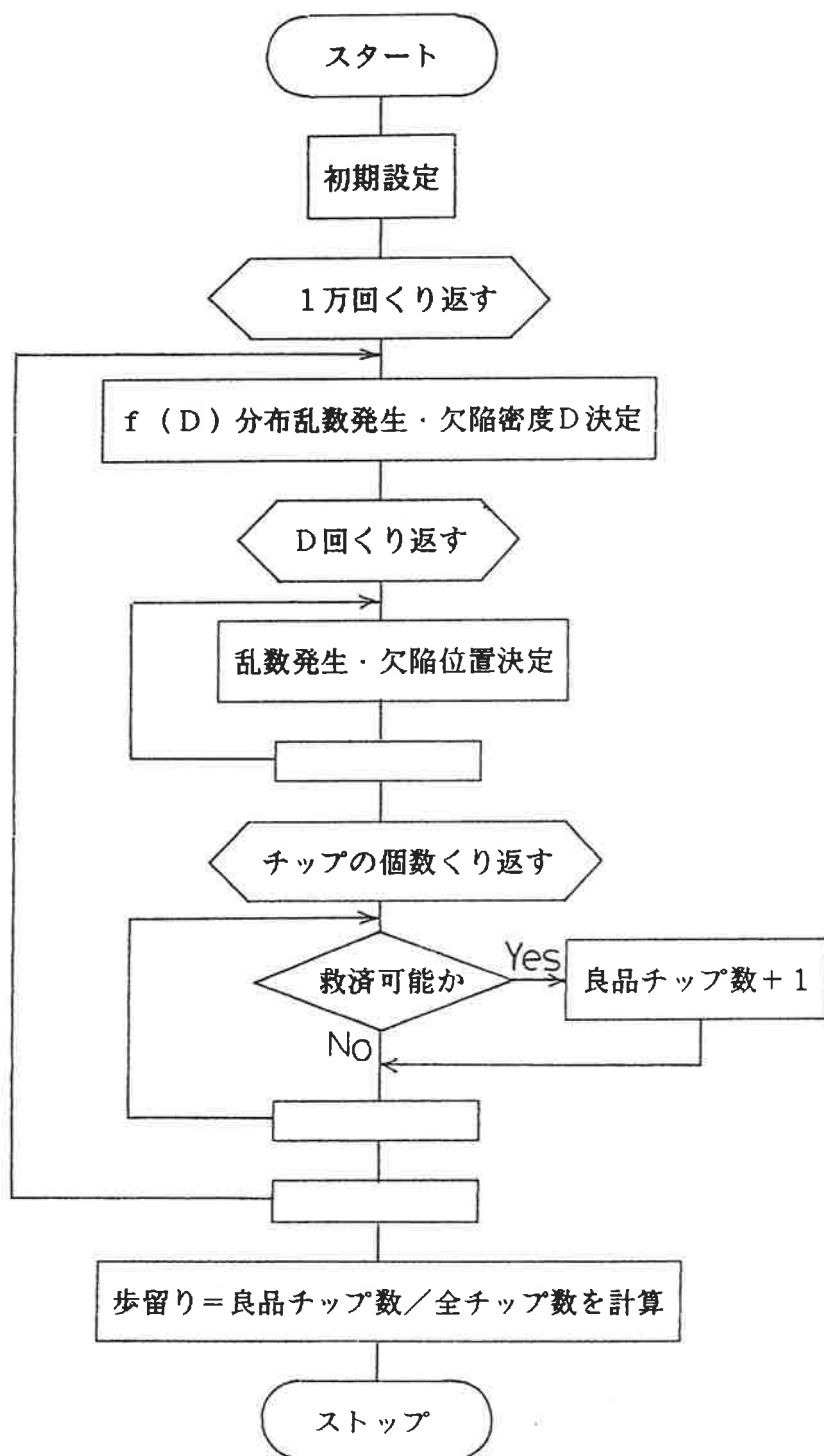


図1 歩留りシミュレーションのフローチャート

を決定する。次に、密度Dとなる一様乱数を発生させてウェーハ内の欠陥位置を決定する。得られたウェーハ内の良品チップの個数を数える。以上の試行を、多数回くり返して、歩留り＝良品チップの総数／総チップ数を求める。確率密度 $f(D)$ に従う乱数の発生は、式(11)、(12)に関しては逆関数を用い、式(13)については、 D 対 $\int_0^D f(D) dD$ の表を作成しておき、索表するという方法をとる。

表1に、解析的方法とモンテカルロ法の実行結果の比較を示している。両者はよく一致していることが分かる。モンテカルロ法は、解析的方法に比較して、適用範囲の制限がないという利点を有する反面、演算時間がかかるという欠点も有している。従って、以下の歩留り計算の実行に当たっては、 N 、 R の小さな領域では解析的方法を用い、 N 、 R 大の領域では、モンテカルロ法を用いることとする。

表1 解析的方法とモンテカルロ法の比較

	理論値	解析的方法	モンテカルロ法
一様分布 $N=1, R=0, A=2$	0.25	0.2500	0.2497
〃 $N=8, R=8, A=10$	—	0.3344	0.3200
指数分布 $N=1, R=0, A=1$	0.5	0.5000	0.5084
〃 $N=8, R=8, A=10$	—	0.4556	0.4582

3. 歩留り解析結果

3. 1 冗長化VLSIシステムの歩留り改善度

図2～図4は、チップ面積による歩留りの変化を示している。図2は一様分布、図3はガンマ分布($a=5$)、図4は指数分布の場合を示している。図2～図4の順に欠陥集中度が大になる。図の横軸は、非冗長なチップ面積 A を、縦軸は、冗長化をしたシステムの歩留り Y_R をとっている。パラメータとしては、非冗長なサブシステムの個数 N と冗長なサブシステムの個数 R をとっている。このとき、($N=1$, $R=0$) は、冗長化をしない場合に対応し、($N=1$, $R=1$) は、最も一般的な冗長化手法であるハードウェアを2重化する場合に対応している。

図5～図7は、歩留り改善度が見易いように、図2～図4を描き直したものである。図の横軸は非冗長なシステムの歩留り Y_N をとっている。

図2～図7より、次のような知見が得られる。

〔結果1〕 ハードウェアを単に2重化する方法では、歩留り改善度は、た

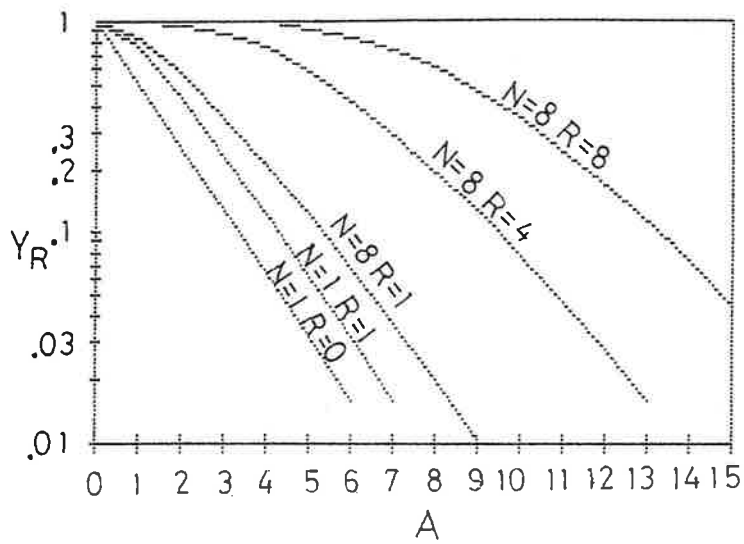


図2 非冗長チップ面積 A と歩留り Y_R の関係 (一様分布)

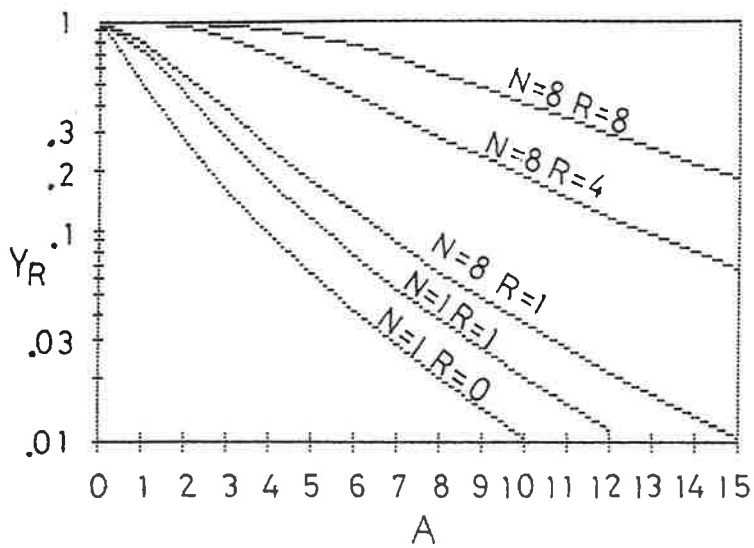


図3 非冗長チップ面積 A と歩留り Y_R の関係 (ガンマ分布 $a = 5$)

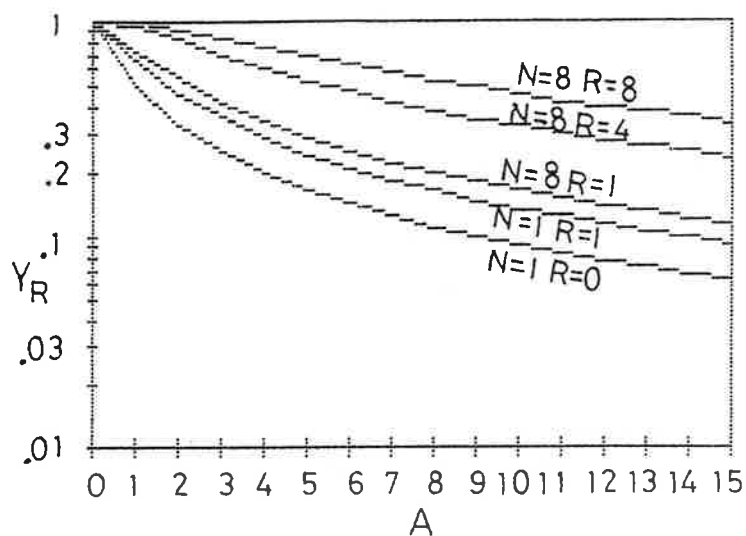


図4 非冗長チップ面積 A と歩留り Y_R の関係 (指数分布)

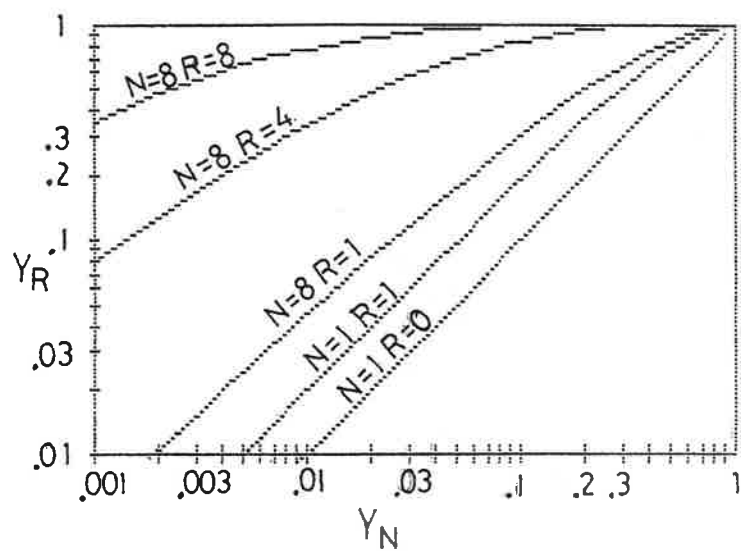


図5 冗長化による歩留り改善 (一様分布)

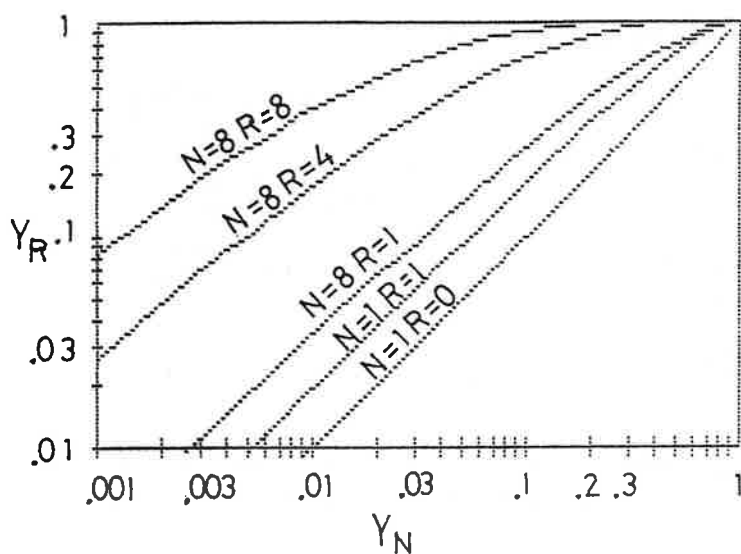


図6 冗長化による歩留り改善 (ガンマ分布 $a = 5$)

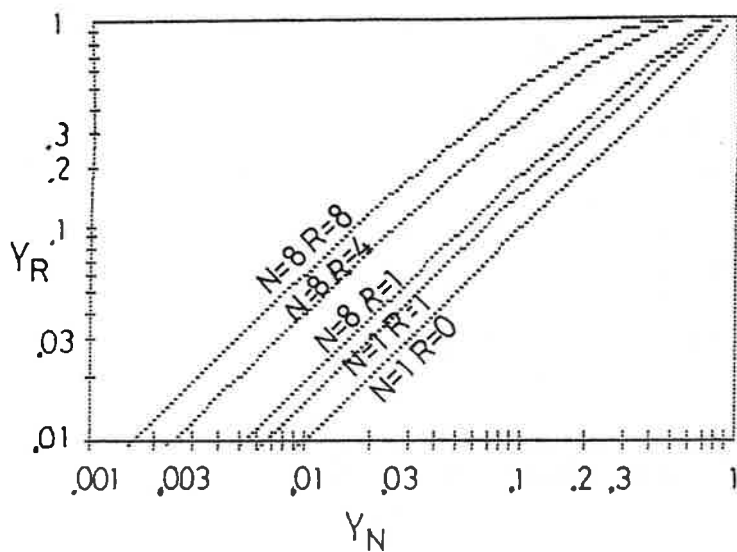


図7 冗長化による歩留り改善 (指数分布)

かだか2倍にとどまる。

〔結果2〕 非冗長なサブシステムの個数 N （いいかえるとシステムを分割する数）を大きくすると、歩留りが格段に改善される。例として、一様分布で、 $N=8$ 、 $R=8$ （このとき2重化と同じチップ面積となる）では、歩留りが100倍になる。

〔結果3〕 指数分布は一様分布に比較し、チップ面積の増大による歩留り低下がゆるやかであるが、反面、欠陥救済による歩留り改善の度合いも小さい。すなわち、欠陥の集中度が大きい程、歩留り低下がゆるやかであるが、同時に欠陥救済の効果も小さい。

結果3は、欠陥救済効果を示すファクタとして、欠陥の分布形態に依存しない本質的な量が存在することを示唆している。

3. 2 チップ拡大率

図8は、チップ面積－歩留り特性を、各種の分布についてまとめて示している。パラメータとして、分散度 a をとっている。 $a=1$ は指数分布に相当し、 $a=\infty$ は一様分布に対応している。

図8より、次のような経験則が得られる。

〔法則1〕 $Y_R=Y_0$ となるチップ面積 A の値は、欠陥分布の形態に依存しない。

この $Y_R=Y_0$ となるチップ面積を、以下、チップ拡大率(Chip extain-ability)とよぶことにする。この値は、歩留りを低下させることなく基準VLSIの何倍のチップ面積が実現できるかを表わしている。チップ拡大率は、欠陥分布の形態、すなわち、プロセスに依存しないので、冗長化の効果を端的に表わす指標として、極めて有用と考えられる。

図9は、チップ拡大率 F の N と R に対する依存性を示している。図の横軸は、 R/N （冗長度とよぶ）をとっている。同図より、次のような経験則が得られる。

〔法則2〕 チップ拡大率 F 、非冗長サブシステムの個数 N 、冗長サブシステムの個数 R の間には次のような関係が成り立つ。

$$F \sim 1 + \sqrt{NR} \quad (15)$$

式(15)より、 N （システムをサブシステムに細分化する個数）と R （欠陥救済のため付加するサブシステムの個数）の相乗作用によって冗長化の効果が発揮されることが分かる。また、式(15)が N と R について対称なことから、 N を増やす効果と、 R を増やす効果が等価なことが知られ、興味深い。

歩留りを与える式において、欠陥密度 D_0 とチップ面積 A は、常に積の形 $D_0 A$ で寄与することから、欠陥救済によってチップ面積 A が拡大可能になったということは、相対的に欠陥密度 D_0 が減少したとみなすこともできる。従って、法則2は、次のように解釈することができる。

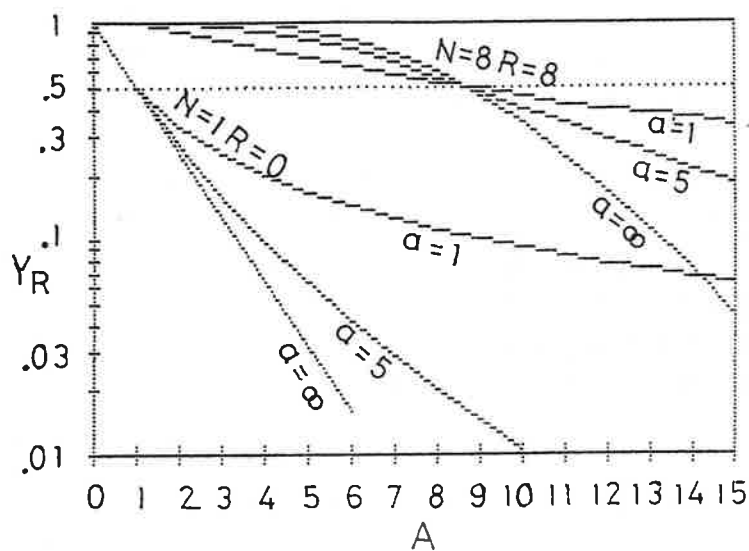


図8 チップ面積・歩留り特性の欠陥分布による変化

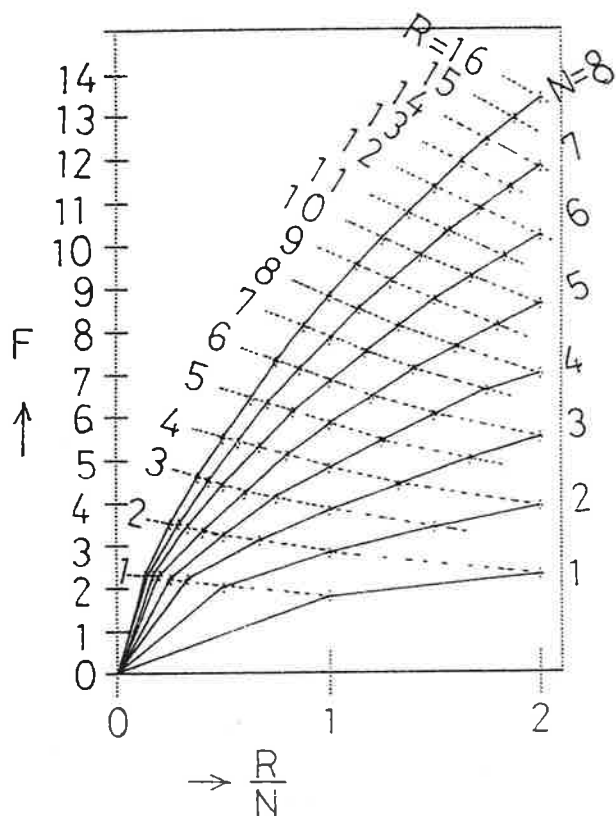


図9 非冗長サブシステム数 N 、冗長サブシステム数 R とチップ拡大率 F の関係

[法則3] システムをN分割し、冗長なサブシステムをR個付加した欠陥救済は、欠陥密度を、 $1 / (1 + \sqrt{NR})$ に減少させることと等価な効果を有する。

4. むすび

本論文では、欠陥救済を導入したVLSIシステムの歩留り計算方法の検討結果と計算実行結果について報告した。得られた結論は、次のようになる。

- (1) 欠陥分布が集中するほど、チップ面積増大による歩留り低下はゆるやかになるが、同時に、欠陥救済による歩留り向上も少ない。
- (2) チップ拡大率（歩留りを低下することなくチップ面積を拡大できる倍率）という指標は、欠陥分布の形態に依存しない。
- (3) チップ拡大率Fは、システム分割数をN、サブシステム付加数をRとすると、 $F = 1 + \sqrt{NR}$ で与えられる。

本論文では、サブシステムのチップ面積が均一と仮定しているが、一般には、サブシステムの個数が多くなるに従いチップ面積は増大すると考えられる。このような不均一サブシステムの歩留り改善特性の解明も今後の興味ある課題と考えられる。

参考文献

- 1) E.E.Swartzlander, "Wafer Scale Integration", Kluwer Academic Publishers (1989).
- 2) A.Gupta and J.W.Lathrop: "Yield Analysis of Large Integrated -Circuit Chips", IEEE Journal of Solid-State Circuits, SC-7, pp. 389-395 (Oct.1972).
- 3) 柳井、永田、"集積回路工学II"、コロナ社 (1979).
- 4) D.M.H.Waker, "Yield Simulation for Integrated Circuit", Kluwer Academic Publishers (1987).
- 5) K.Israel, "Defect and Fault Tolerance in VLSI Systems", Plenum (1989).
- 6) 下東勝博、"半導体メモリにおける欠陥救済技術"、電子通信学会誌 Vol.65, pp.1000-1002 (Sept.1982).
- 7) 苫米地宣裕、"剰余数系に基づくVLSIシステムの歩留り改善方法" 信学技報、CAS88-122, pp.117-121 (Feb.1989).
- 8) 苫米地宣裕、"剰余数系に基づくULSI/WSI算術演算システムの欠陥救済方法"、電子情報通信学会論文誌D (Jan.1990 掲載予定)。
- 9) 電子通信学会、"LSIハンドブック"、電子通信学会 (1980).